

НАЦИОНАЛЬНЫЙ ИССЛЕДОВАТЕЛЬСКИЙ УНИВЕРСИТЕТ «МЭИ»



«УТВЕРЖДАЮ»

Проректор по научной работе

Драгунов В.К.

«16 июня»

2015 г.

Программа аспирантуры

Направление: 27.06.01 Управление в технических системах

Направленность (специальность): 05.13.05 Элементы и устройства
вычислительной техники и систем управления

РАБОЧАЯ ПРОГРАММА
дисциплины по выбору

«Схемотехника современных устройств вычислительной техники»

Индекс дисциплины по учебному плану: Б1.В.ДВ.1.2

Всего: 108 часов

Семестр: 1, в том числе

6 часов – контактная работа,

84 часов – самостоятельная работа,

18 часов – контроль

Программа составлена на основе федерального государственного образовательного стандарта высшего образования (уровень подготовки кадров высшей квалификации) по направлению подготовки 27.06.01 «Управление в технических системах», утвержденного приказом министерства образования и науки РФ от 30 июля 2014 № 892, и паспорта специальности 05.13.05 «Элементы и устройства вычислительной техники и систем управления», номенклатуры специальностей научных работников, утвержденной приказом Минобрнауки России от 25 февраля 2009 г. № 59.

ЦЕЛИ И ЗАДАЧИ ОСВОЕНИЯ ДИСЦИПЛИНЫ

Целью изучения дисциплины является изучение основ современной элементной базы ЭВМ, принципов построения комбинационных и последовательностных схем функциональных узлов и устройств ЭВМ.

Задачами дисциплины являются:

- изучение арифметических и логических основ ЭВМ и реализаций функций алгебры логики на конкретной элементной базе с целью построения оптимальных схем;
- освоение принципов функционирования, построения и анализа комбинационных и логических схем функциональных узлов и устройств ЭВМ с целью применения методик исследования схем в статическом и динамическом режимах для проверки правильности их работы.

В процессе освоения дисциплины **формируются следующие компетенции:**

- способность проектировать и осуществлять комплексные исследования, в том числе междисциплинарные, на основе целостного системного научного мировоззрения с использованием знаний в области истории и философии науки (УК-2);
- владение научно-предметной областью знаний (ОПК-5);
- способность применять современные теоретические и экспериментальные методы разработки математических моделей

исследуемых объектов и процессов, относящихся к профессиональной деятельности по направлению подготовки (ПК-4);

- способность к организации и проведению экспериментальных исследований и компьютерного моделирования с применением современных средств и методов (ПК-6);

ПЛАНИРУЕМЫЕ РЕЗУЛЬТАТЫ ОБРАЗОВАНИЯ, ФОРМИРУЕМЫЕ В РЕЗУЛЬТАТЕ ОСВОЕНИЯ ДИСЦИПЛИНЫ

В результате освоения дисциплины обучающийся должен демонстрировать следующие результаты образования:

знать:

- основные источники научно-технической информации в области схемотехники ЭВМ (ОПК-5);
- арифметические и логические основы схемотехники ЭВМ (УК-2);

уметь:

- ставить и решать схемотехнические задачи, связанные с выбором системы элементов при заданных требованиях к их параметрам (ОПК-5);

владеть:

- методами поиска и принятия решений по разработке логических схем (ОПК-5);
- методикой экспериментального исследования схем с использованием современных инструментальных средств и технологий (ПК-6);
- современными методами и средствами проектирования функциональных схем и узлов ЭВМ (ПК-4).

КРАТКОЕ СОДЕРЖАНИЕ РАЗДЕЛОВ ДИСЦИПЛИНЫ

1. Функции алгебры логики: привязка к элементной базе

Функции алгебры логики (ФАЛ), применяемые в цифровой аппаратуре. Оптимизация логических выражений. Декомпозиция и дифференцирование ФАЛ. Привязка ФАЛ к элементной базе. Системы элементов ЭВМ: ТТЛ, ЭСЛ, КМДП, И2Л. Особенности современных элементов. Двойственность

логических схем. Реализация дизъюнктивных и конъюнктивных форм в инвертирующих базисах. Методика и этапы синтеза произвольной логической схемы.

2. Комбинационные логические схемы

Исследование логических схем в статическом и динамическом режимах. Генераторы испытательных сигналов, электронные осциллографы. Обнаружение неисправностей и рисков сбоев. Функциональные узлы комбинационного типа. Узлы мажоритарного контроля. Дешифраторы: линейный, каскадный, прямоугольный, способы их стробирования. Мультиплексоры. Применение мультиплексора в качестве универсального логического элемента. Декодер-демультиплексор. Шифратор. Сумматоры. Оценки аппаратных затрат и времени задержки. Комбинационный многоразрядный сумматор с последовательным переносом. Сумматор с параллельным переносом. Двухъярусные сумматоры: параллельный, цепной, сквозной переносы на втором ярусе. Организация трехъярусных сумматоров. Инкрементор. Декрементор. Вычитатель. Компаратор величин на базе сумматора. Умножитель как матрица сумматоров.

3. Конечные автоматы

Теория цифровых конечных автоматов (КА). Структурная схема КА. Граф автомата. Табличная форма представления. Триггер, как элементарный автомат: таблица переходов, аналитическое представление, граф. Этапы структурного синтеза КА. Синхронизация в цифровых автоматах.

4. Последовательностные схемы

Функциональные узлы последовательностного типа. Триггеры. RS-триггер и его свойства. Прозрачный D-триггер-защелка. Времена подготовки, задержки, выдержки. Двухступенчатый JK-триггер. Непрозрачный D-триггер Вебба. Регистры, сдвигающие регистры. Счетчики: с последовательным, параллельным и групповым переносом, реверсивные, по произвольному основанию. Распределители импульсов.

5. Арифметические основы ЭВМ

Арифметика цифровых устройств. Формы представления чисел в ЭВМ. Фиксированная и плавающая запятая. Представление отрицательных чисел в ЭВМ. Прямой, обратный, дополнительный коды. Модифицированные коды и их применение для обнаружения переполнения. Сложение чисел с плавающей запятой. Операция нормализации. Алгоритмы умножения чисел в ЭВМ. Структурные схемы умножителей. Деление чисел с восстановлением и без восстановления остатка. Способы представления десятичных чисел. Код прямого замещения. Выполнение операций над десятичными числами в ЭВМ.

6. Построение арифметико-логических устройств ЭВМ

Подходы к реализации функциональных узлов комбинационного и последовательностного типа в составе арифметико-логических устройств. Принципы построения БИС/СБИС с программируемой структурой. Функциональные узлы, как база для создания микропроцессорных комплектов. Возможности автоматизации функционально-логического проектирования цифровых узлов и устройств.

ОЦЕНОЧНЫЕ СРЕДСТВА ДЛЯ КОНТРОЛЯ ОСВОЕНИЯ РЕЗУЛЬТАТОВ ОБРАЗОВАНИЯ ПО ДИСЦИПЛИНЕ

Промежуточная аттестация по итогам освоения дисциплины: 1 семестр – дифференцированный зачет.

Вопросы для самоконтроля и для проведения зачета

1. Способы представления ФАЛ. Принципы минимизации ФАЛ.
2. Синтез схемы компаратора на равенство двух чисел.
3. Преобразователи кода Грея в двоичный код – схемы быстрая и экономичная.
4. Линейные дешифраторы на И-НЕ и ИЛИ-НЕ.
5. Прямоугольный (матричный) дешифратор. Сравнение различных типов дешифраторов по аппаратурным затратам и времени задержки.

6. Сумматоры. Обозначение, временные характеристики. Одноразрядные сумматоры на элементах И-НЕ, на И-ИЛИ-НЕ.
7. Многоразрядные сумматоры: с последовательным переносом, с параллельным переносом.
8. Двухъярусные сумматоры. Параллельный перенос на втором ярусе..
9. Сумматор с цепным переносом на втором ярусе.
10. Инкрементор. Декрементор. Компаратор величин. Понятие элементарного автомата.
11. Этапы структурного синтеза конечного автомата.
12. Триггеры. RS-триггер и его свойства. Прозрачный D-триггер-защелка. Времена подготовки, задержки, выдержки.
13. Двухступенчатый JK-триггер. Непрозрачный D-триггер Вебба.
14. Регистры: обозначение, назначение. Объединение с другими узлами внутри микросхемы.
15. Счетчики. Реверсивные счетчики. Счетчики по произвольному основанию.
16. Формы представления чисел в ЭВМ.
17. Сложение чисел с фиксированной запятой. Алгоритм сложения чисел с плавающей запятой.
18. Умножение чисел с фиксированной запятой.
19. Деление чисел с фиксированной запятой с восстановлением и без восстановления остатка.
20. Принципы построения БИС/СБИС с программируемой структурой.
21. Возможности автоматизации функционально-логического проектирования цифровых узлов и устройств.

Критерии оценки за освоение дисциплины определены в Инструктивном письме И-23 от 14 мая 2012 г.

РЕКОМЕНДУЕМАЯ ЛИТЕРАТУРА

Основная литература:

1. Логинов В.А. Электронный конспект лекций по курсу «Схемотехника». – М.: МЭИ, 2012. – 90 с.

2. Угрюмов Е. П. Цифровая схемотехника. – СПб.: БХВ-Санкт-Петербург, 2010. – 798 с.
3. Белоус А., Емельянов В., Турцевич А. Основы схемотехники микроэлектронных устройств. – М.: Техносфера, 2012 г. – 472 с.
4. Амосов В. Схемотехника и средства проектирования цифровых устройств. – С.П.: БХВ – Петербург, 2012 г. – 560 с.
5. Последовательностные схемы: Лабораторный практикум: учебное пособие по курсу «Функциональные узлы и процессоры» / И.С.Потемкин, В.А.Логинов. – М.: Изд-во, 2006. – 48 с.

Дополнительная литература:

6. Белоцицкий Н.С. Основы схемотехники ЭВМ - М.: Изд. Дом МЭИ, 2010 г. 128 с.
7. Емельянов В.А. Схемотехника цифровых БИС. - М.: Наука, 2006 г. – 352 с.
8. Лехин С. Схемотехника ЭВМ. – С.П.: БХВ-Петербург, 2010. – 672 с.